

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

981417

Basic Patent (No,Kind,Date): JP 48095192 A2 731206 <No. of Patents: 002>

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
<b>JP 48095192</b>	A2	731206	JP 7226457	A	720314	(BASIC)
JP 80009833	B4	800312	JP 7226457	A	720314	

Priority Data (No,Kind,Date):

JP 7226457 A 720314



① 日本国特許庁

# 公開特許公報

## 特 許 願 (1)

昭和47年3月14日

特許庁長官 殿

発明の名称 **ゲート絶縁層効果半導体装置**

発明者 **日本電気株式会社**  
東京都港区芝五丁目7番15号  
代表者 **小 林 安 治**

特許出願人 **日本電気株式会社**  
東京都港区芝五丁目7番15号  
社長 **小 林 安 治**

代理人 **森田 幸 野 卓**  
東京都新宿区百人町一丁目19番13号 (丸の内ビル)  
TEL. 03-3431-8544

添附書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 委 任 状 1 通

47 026457

① 特開昭 48-95192

④ 公開日 昭48.(1973) 12 6

② 特願昭 47-26457

③ 出願日 昭47.(1972) 3.14

審査請求 未請求 (全3頁)

庁内整理番号

⑤ 日本分類

6426 57

99E3

6244 56

97MC13

## 明 細 書

### 1. 発明の名称

ゲート絶縁層効果半導体装置

### 2. 特許請求の範囲

ゲート絶縁層として半導体基板を酸化した酸化一窒化シリコン膜-アルミナ膜の二層構造が使用されたことを特徴とするゲート絶縁層効果半導体装置。

### 3. 発明の詳細な説明

この発明は半導体基板上にその半導体基板の酸化物、その上に酸化シリコン膜 (SiO<sub>2</sub>) さらにその上にアルミナ膜 (Al<sub>2</sub>O<sub>3</sub>) の存在する半導体装置に関するものである。

ゲート絶縁層効果トランジスタにおいてそのゲート絶縁層としてアルミナを使用することにより、そのアルミナ膜に電荷を蓄積するか否かまたはその蓄積量によりゲートしきい電圧が比較的大きく異なることを利用して“0”、“1”の作務を記憶する記憶素子として使用することが提案されている。このような半導体装置における表面積膜

として用いられるアルミナ膜の形成は塩化アルミニウム、臭化アルミニウムといったハロゲン化アルミニウムの加水分解による方法、過塩素酸法による方法、高周波及び直流スパッタによる方法、アルミニウムの有機化合物の熱分解による方法、蒸着アルミニウムのプラズマ酸化による方法などにより可能であると考えられる。この金属-アルミナ-シリコン半導体 (MAS) 構造においてはアルミナ膜と半導体基板との界面が非常に複雑であり、半導体装置の特性の制御がきわめて難しい。このため通常はあらかじめ半導体基板上に熱酸化法により例えば200Å程度の薄い酸化物を成長させておき、さらにその上にアルミナ膜を成長させ、金属-アルミナ-酸化物-半導体 (MAOS) 構造の絶縁層二層構造がとられている。

この絶縁層二層構造の半導体装置においてアルミナ膜の持つ電子注入機構とは独立に電圧印加にともない、この絶縁膜上の電極及びシリコン半導体表面間の電圧変化に対する上記電極及び半導体表面間の静電容量の変化特性についてわずかな分

極端のヒステリシスが観測される。これは半導体装置の不安定性を誘起し、良品率を下げ特性をばらつかせる原因となつてゐることが判明した。

この発明の目的は各電圧特性において分極型ヒステリシスのない、特性のそろつた良品率のすぐれた金属半導体間にアルミナ膜を含む半導体装置を提供するにある。

本発明者は実験研究の結果、MAOS構造でみられる分極型ヒステリシスは半導体基板（例えばシリコン）の熱酸化膜（ $\text{SiO}_2$ ）とその上のアルミナ膜との間にアルミナ膜成長時に酸化膜とアルミナ膜の混合した層（ $\text{SiO}_2 \cdot x\text{Al}_2\text{O}_3$  混合層）が出来、その層の厚さにより分極型ヒステリシスが収存するということが解つた。

従つてこの発明の半導体装置においては酸化膜及びアルミナ膜の混合が生じ得ないように、酸化膜とアルミナ膜との間に窒化シリコン膜を介在させる金属-アルミナ-窒化シリコン-酸化膜-半導体（MANOS）構造の絶縁膜三重層構造をもつ半導体装置とする。この構造によれば分極型ヒステ

リシスのない特性のそろつた半導体装置が得られる。

方向へ変化し、 $V_G$ がある臨界電圧以上に大とすると電子注入が起り、 $V_{TH}$ はプラス方向への変化がみられる。この $V_G$ のプラス電圧印加でマイナス方向への $V_{TH}$ の変化は印加電圧 $V_G$ が大きいほど、また印加時間が長いほど大きく、特にこのMAOS構造を計算機の記憶素子として使う場合には特性の点で大きな問題となる。

第2図はこの発明による半導体装置の一例を示し、第1図と対応する部分には同一符号を付す。本発明では二酸化硅素4上に窒化シリコン9が形成される。その上にアルミナ膜5が成長される。

実験によれば厚さ300Åのシリコン単結晶基板1上に900℃乾燥酸素中で170Åの熱酸化膜4を成長させ、さらにその上にアンモニア（ $\text{NH}_3$ ）、シラン（ $\text{SiH}_4$ ）との反応により700℃で窒化シリコン膜9を200Å成長させ、しかる後に窒化アルミニウムの加水分解法により850℃で1500Åのアルミナ膜5を成長させ、さらにアルミニウムをタンタム酸に加熱により蒸着して電極6, 7, 8とし、金属-アルミナ-窒化シリコン-二酸化

リシスのない特性のそろつた半導体装置が得られる。

次に図面を参照して説明しよう。

第1図は従来のゲートアルミナ膜を使用する電界効果トランジスタを示し、1はシリコン半導体基板でこの基板1の表面側よりこれと逆電型のソース領域2及びドレイン領域3がそれぞれ互に分置されて基板1内に形成される。この半導体基板1上に薄い二酸化硅素膜4が高真空酸化法により成長され、次に種々の方法でアルミナ膜5が二酸化硅素膜4上に成長される。しかる後にソースドレイン各領域2及び3上に孔があけられ、ソース電極6及びドレイン電極7が形成され、ソース領域2及びドレイン領域3間のアルミナ膜上にゲート電極8が形成されてMAOS構造とされる。この従来のMAOS構造においては熱酸化膜4とアルミナ膜5との間にこれ等の混合した層が出来、この混合層のためゲート電圧8に対する印加電圧 $V_G$ に対するしきい値電圧（ $V_{TH}$ ）の変化特性において $V_G$ がプラス電圧では $V_{TH}$ はわずかのマイナス

方向へ変化し、 $V_G$ がある臨界電圧以上に大とすると電子注入が起り、 $V_{TH}$ はプラス方向への変化がみられる。この $V_G$ のプラス電圧印加でマイナス方向への $V_{TH}$ の変化は印加電圧 $V_G$ が大きいほど、また印加時間が長いほど大きく、特にこのMAOS構造を計算機の記憶素子として使う場合には特性の点で大きな問題となる。

第2図はこの発明による半導体装置の一例を示し、第1図と対応する部分には同一符号を付す。本発明では二酸化硅素4上に窒化シリコン9が形成される。その上にアルミナ膜5が成長される。

実験によれば厚さ300Åのシリコン単結晶基板1上に900℃乾燥酸素中で170Åの熱酸化膜4を成長させ、さらにその上にアンモニア（ $\text{NH}_3$ ）、シラン（ $\text{SiH}_4$ ）との反応により700℃で窒化シリコン膜9を200Å成長させ、しかる後に窒化アルミニウムの加水分解法により850℃で1500Åのアルミナ膜5を成長させ、さらにアルミニウムをタンタム酸に加熱により蒸着して電極6, 7, 8とし、金属-アルミナ-窒化シリコン-二酸化

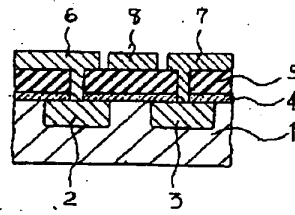
#### 4. 図面の簡単な説明

第1図は従来のアルミナ膜をゲート絶縁膜を有

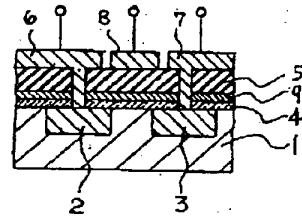
む半導体装置を示す断面図、第2図は本発明半導体装置の一例を示す断面図である。

1：半導体基板、2：ソース領域、3：ドレイン領域、4：二酸化硅素膜、5：アルミナ膜、6：電極、7：酸化シリコン膜、8：電極、9：酸化シリコン膜。

第 1 図



第 2 図



特許出願人 日本電気株式会社

代理人 森 野 卓